

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Takahiro KOISHI
Title: INFORMATION PROCESSOR
Appl. No.: Unassigned
Filing Date: 07/24/2003
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 2002-221159 filed 07/30/2002.

Respectfully submitted,

Date: July 24, 2003

FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By

Philip J. Attirola

for /

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

*Reg. No.
38,819*

084
US

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月30日

出 願 番 号
Application Number:

特願2002-221159

[ST.10/C]:

[JP 2002-221159]

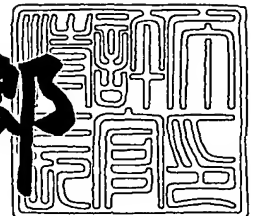
出 願 人
Applicant(s):

日本電気株式会社

2003年 6月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3041790

【書類名】 特許願

【整理番号】 66206671

【提出日】 平成14年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/20

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 小石 高裕

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

 【氏名又は名称】 石橋 政幸

【手数料の表示】

 【予納台帳番号】 089681

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 CPUと、

前記CPUにデータやコマンドを入力するための入力装置及び前記CPUから発行されたコマンドやデータの処理結果を出力するための出力装置を備えた入出力装置と、

通常動作する運用系及び予備の待機系として動作する、前記CPUと前記入出力装置間のインタフェースである、シリアルコントローラをそれぞれ備えた2つのチップセットと、

前記2つのチップセットのいずれか一方で障害が発生した場合に前記シリアルコントローラと前記入出力装置の接続経路を切り換えるためのセクタと、

前記セクタを制御することで、前記チップセットで障害が発生していない場合は、前記運用系のシリアルコントローラの出力データを前記出力装置へ出力させ、前記入力装置からのデータを前記2つのシリアルコントローラへそれぞれ供給させ、前記チップセットのいずれか一方から障害発生のお知らせを受け取った場合は、正常に動作しているチップセットが備えるシリアルコントローラの出力データのみを前記出力装置へ出力させ、前記入力装置からのデータを正常に動作しているチップセットが備えるシリアルコントローラのみへ供給させるサービスプロセッサと、

を有する情報処理装置。

【請求項 2】 前記シリアルコントローラは、

前記CPUから送信されたコマンドを一時的に保持するコマンドバッファと、

前記入力装置を用いて入力されたデータを一時的に保持する入力バッファと、

前記CPUと前記入出力装置間のデータ転送を行うシリアルデータ入出力部と

2つのシリアルコントローラの動作を同期させるためのシリアル同期部と、

を有する請求項1記載の情報処理装置。

【請求項 3】 前記運用系のシリアル同期部は、

前記チップセットで障害が発生していないとき、
前記コマンドバッファに前記CPUからのコマンドが格納されると、前記待機系のシリアル同期部に前記コマンドの実行許可を要求し、
前記待機系のシリアル同期部は、
前記実行許可の要求を受信し、かつ前記コマンドバッファに前記コマンドが格納されている場合に、前記運用系のシリアル同期部に前記コマンドの実行許可を送信すると共に前記コマンドの処理を前記シリアルデータ入力部に実行させる請求項2記載の情報処理装置。

【請求項4】 前記運用系のシリアル同期部は、
前記チップセットで障害が発生していないとき、
前記入力バッファに前記入力装置からのデータが格納されると、前記待機系のシリアル同期部に対して前記データの取り込み許可を要求し、
前記待機系のシリアル同期部は、
前記データの取り込み許可の要求を受信し、かつ前記入力バッファに前記入力装置からのデータが格納されている場合に、前記運用系のシリアル同期部に前記データの取り込み許可を送信すると共に前記データの取り込み処理を前記シリアルデータ入力部に実行させる請求項2記載の情報処理装置。

【請求項5】 前記サービスプロセッサは、
前記チップセットのいずれか一方から障害発生のお知らせを受け取ると、前記シリアル同期部に前記2つのシリアルコントローラの動作を同期させるための処理を停止させる請求項2乃至4のいずれか1項記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報処理装置に関し、特にシリアルデータ転送を制御するシリアルコントローラを備えた情報処理装置に関する。

【0002】

【従来の技術】

情報処理装置では、障害対策のために、通常必要な装置構成以外に予備の装置

や障害解析手段を備えた構成がある。例えば、CPUやメモリユニット、あるいはCPUとメモリユニット間のデータ転送を制御するメモリコントローラ等を二重化し、通常動作させる運用系で障害が発生した場合に予備の待機系へ切り換えることで情報処理装置としての信頼性を向上させている。

【0003】

また、より高い信頼性が要求される情報処理装置では、障害検出情報や障害発生時のログアウトデータ等を収集して障害箇所の解析を行うサービスプロセッサを備えた構成も知られている。

【0004】

【発明が解決しようとする課題】

上記したような従来の情報処理装置のうち、例えば、CPUの動作がシリアルコンソールで制御される構成の場合、CPUやメモリユニット等が二重化されていても、障害発生部位にシリアルコンソールが含まれていると、該シリアルコンソールから発行されるメッセージやデータが欠落してしまう問題がある。

【0005】

また、シリアルコンソールが備えるシリアルコントローラで障害が発生した場合は、その障害がS P o F (Single Point of Failure) となるため、情報処理装置全体の動作が停止する可能性があった。

【0006】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、CPUに供給するメッセージやデータの欠落を防止すると共にS P o Fの発生を排除することが可能なシリアルコントローラを備えた情報処理装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため本発明の情報処理装置は、CPUと、

前記CPUにデータやコマンドを入力するための入力装置及び前記CPUから発行されたコマンドやデータの処理結果を出力するための出力装置を備えた入出力装置と、

通常動作する運用系及び予備の待機系として動作する、前記CPUと前記入出力装置間のインタフェースである、シリアルコントローラをそれぞれ備えた2つのチップセットと、

前記2つのチップセットのいずれか一方で障害が発生した場合に前記シリアルコントローラと前記入出力装置の接続経路を切り換えるためのセレクタと、

前記セレクタを制御することで、前記チップセットで障害が発生していない場合は、前記運用系のシリアルコントローラの出力データを前記出力装置へ出力させ、前記入力装置からのデータを前記2つのシリアルコントローラへそれぞれ供給させ、前記チップセットのいずれか一方から障害発生のお知らせを受け取った場合は、正常に動作しているチップセットが備えるシリアルコントローラのみを前記出力装置へ出力させ、前記入力装置からのデータを正常に動作しているチップセットが備えるシリアルコントローラのみへ供給させるサービスプロセッサと、

を有する構成である。

【0008】

このとき、前記シリアルコントローラは、

前記CPUから送信されたコマンドを一時的に保持するコマンドバッファと、
前記入力装置を用いて入力されたデータを一時的に保持する入力バッファと、
前記CPUと前記入出力装置間のデータ転送を行うシリアルデータ入出力部と

2つのシリアルコントローラの動作を同期させるためのシリアル同期部と、
を有していてもよい。

【0009】

また、前記運用系のシリアル同期部は、

前記チップセットで障害が発生していないとき、

前記コマンドバッファに前記CPUからのコマンドが格納されると、前記待機系のシリアル同期部に前記コマンドの実行許可を要求し、

前記待機系のシリアル同期部は、

前記実行許可の要求を受信し、かつ前記コマンドバッファに前記コマンドが格

納されている場合に、前記運用系のシリアル同期部に前記コマンドの実行許可を送信すると共に前記コマンドの処理を前記シリアルデータ入力部に実行させてもよく、

前記運用系のシリアル同期部は、

前記チップセットで障害が発生していないとき、

前記入力バッファに前記入力装置からのデータが格納されると、前記待機系のシリアル同期部に対して前記データの取り込み許可を要求し、

前記待機系のシリアル同期部は、

前記データの取り込み許可の要求を受信し、かつ前記入力バッファに前記入力装置からのデータが格納されている場合に、前記運用系のシリアル同期部に前記データの取り込み許可を送信すると共に前記データの取り込み処理を前記シリアルデータ入力部に実行させてもよい。

【 0 0 1 0 】

さらに、前記サービスプロセッサは、

前記チップセットのいずれか一方から障害発生の通知を受け取ると、前記シリアル同期部に前記 2 つのシリアルコントローラの動作を同期させるための処理を停止させてもよい。

【 0 0 1 1 】

上記のように構成された情報処理装置では、シリアルコントローラをそれぞれ備えた 2 つのチップセットと、2 つのチップセットのいずれか一方で障害が発生した場合にシリアルコントローラと入出力装置の接続経路を切り換えるためのセレクタと、チップセットで障害が発生していない場合は、運用系のシリアルコントローラの実出力データを出力装置へ出力させ、入力装置からのデータを 2 つのシリアルコントローラへそれぞれ供給させ、チップセットのいずれか一方から障害発生の通知を受け取った場合は、正常に動作しているチップセットが備えるシリアルコントローラの実出力データのみを出力装置へ出力させ、入力装置からのデータを正常に動作しているチップセットが備えるシリアルコントローラのみへ供給させるサービスプロセッサとを有することで、障害が発生していない場合は、CPU から発行されたコマンドやデータの処理結果、あるいは入出力装置を介して

入力された入力データが、2つのシリアルコントローラにそれぞれ供給されるため、障害が発生したチップセットを切り離しても入出力装置やCPUから送出されたメッセージやデータを損なうことなく情報処理装置を継続して運用することが可能になる。また、故障個所がシリアルコントローラそのものであってもシステムを停止することなく運用を継続できる。

【 0 0 1 2 】

【発明の実施の形態】

次に本発明について図面を参照して説明する。

【 0 0 1 3 】

本発明の情報処理装置は、シリアルコントローラが二重化された構成であり、運用中のシリアルコントローラで障害が発生した場合に待機中のシリアルコントローラを用いることで継続運用を実現する構成である。

【 0 0 1 4 】

図1は本発明の情報処理装置の一構成例を示すブロック図であり、図2は図1に示したシリアルコントローラの構成を示すブロック図である。なお、図1に示した情報処理装置は、シリアルコンソールを備えたコンピュータシステムであり、CPUと入出力装置間の経路が二重化された構成例を示している。

【 0 0 1 5 】

図1に示すように、本実施形態の情報処理装置は、CPU1と、CPU1にデータやコマンドを入力するための入力装置及びCPU1から発行されたコマンドやデータの処理結果を出力するための出力装置を備えた入出力装置8と、CPU1と入出力装置8間のI/Oインタフェースである、シリアルコントローラをそれぞれ備えた第1のチップセット2及び第2のチップセット3と、第1のチップセット2及び第2のチップセット3のいずれか一方で障害が発生した場合にシリアルコントローラと入出力装置8の接続経路を切り換えるためのセクタ10と、第1のチップセット2、第2のチップセット3、及びセクタ10の動作を制御するサービスプロセッサ9とを有する構成である。

【 0 0 1 6 】

本実施形態の情報処理装置では、CPU1と入出力装置8間を接続するI/O

インタフェースが、第 1 のチップセット 2 及び第 2 のチップセット 3 により二重化された構成であり、ここでは、第 1 のチップセット 2 が通常動作する運用系として用いられ、第 2 のチップセット 3 が予備の待機系として用いられものとする。但し、障害が発生していない状態では運用系と待機系の動作に区別は無いものとする。

【 0 0 1 7 】

第 1 のチップセット 2 は第 1 のシリアルコントローラ 6 を備え、第 2 のチップセット 3 は第 2 のシリアルコントローラ 7 を備え、第 1 のチップセット 2 及び第 2 のチップセット 3 によりシリアルコンソールが形成される。

【 0 0 1 8 】

また、第 1 のチップセット 2 及び第 2 のチップセット 3 には故障解析を行うためのサービスプロセッサ 9 が接続され、サービスプロセッサ 9 には第 1 のチップセット 2 または第 2 のチップセット 3 から障害発生情報が通知（障害通知）される。その場合、サービスプロセッサ 9 は、セクタ 1 0 を制御することで障害が発生したチップセットをシステムから切り離すと共に、後述する第 1 のシリアルコントローラ 6 及び第 2 のシリアルコントローラ 7 による同期処理を停止させる。

【 0 0 1 9 】

このような構成において、図 1 に示した情報処理装置で障害が発生していない場合、入出力装置 8 には第 1 のチップセット 2 または第 2 のチップセット 3 の何れか一方（ここでは運用系である第 1 のチップセット 2）の出力データがセクタ 1 0 を介して出力される。また、入出力装置 8 により外部から入力される入力データはセクタ 1 0 により第 1 のチップセット 2 及び第 2 のチップセット 3 にそれぞれに供給される。なお、CPU 1 は第 1 のチップセット 2 及び第 2 のチップセット 3 に対してそれぞれ同じコマンドあるいは同じデータ処理結果を出力する。

【 0 0 2 0 】

一方、第 1 のチップセット 2 または第 2 のチップセット 3 のいずれかで障害が発生した場合、その障害通知はサービスプロセッサ 9 へ送信され、サービスプロ

セッサ 9 は、障害が発生したチップセットをシステムから切り離し、CPU 1 と入出力装置 8 とを正常な系のみで接続する。

【 0 0 2 1 】

したがって、本実施形態の情報処理装置では、障害が発生していない場合に、CPU 1 からのコマンドやデータ処理結果、あるいは入出力装置 8 からの入力データが、第 1 のシリアルコントローラ 6 及び第 2 のシリアルコントローラ 7 に対してそれぞれ供給されるため、障害発生時に、障害が発生したチップセットを切り離しても入出力装置 8 や CPU 1 から送出されたメッセージやデータを損なうことなく情報処理装置を継続して運用することが可能になる。

【 0 0 2 2 】

なお、図 1 では、情報処理装置が、CPU 1、入出力装置 8、I/O インタフェース（第 1 のチップセット 2、第 2 のチップセット 3）、及びサービスプロセッサのみ有する構成を示しているが、実際の情報処理装置は、それらに加えて、例えば、データを記憶するメモリ、該メモリに対するデータの読み出し／書き込みを制御するメモリコントローラ、及び割り込み制御、DMA 制御、システムクロック、タイマ、電力管理等を行うシステムコントローラ等を備えている。

【 0 0 2 3 】

図 2 に示すように、第 1 のシリアルコントローラ 6 は、CPU 1 から送信されたコマンドを一時的に保持するコマンドバッファ 6 1 と、入出力装置 8 を構成する入力装置 8 1 からの入力データを一時的に保持する入力バッファ 6 2 と、CPU 1 と入出力装置 8 間のシリアルデータ転送を行うシリアルデータ入出力部 6 3 と、第 2 のシリアルコントローラ 7 と内部動作を同期させるためのシリアル同期部 6 4 とを有する構成である。同様に、第 2 のシリアルコントローラ 7 は、CPU 1 から送信されたコマンドを一時的に保持するコマンドバッファ 7 1 と、入出力装置 8 を構成する入力装置 8 1 からの入力データを一時的に保持する入力バッファ 7 2 と、CPU 1 と入出力装置 8 間でシリアルデータの転送を行うシリアルデータ入出力部 7 3 と、第 1 のシリアルコントローラ 6 と内部動作を同期させるためのシリアル同期部 7 4 とを有する構成である。

【 0 0 2 4 】

コマンドバッファ 61, 71、及び入力バッファ 62, 72 は、例えば、シフトレジスタで構成され、シリアル同期部 64, 74、及びシリアルデータ入出力部 63, 73 は、例えば種々の論理ゲートを組み合わせた論理回路でそれぞれ構成される。

【0025】

障害が発生していない場合、シリアルデータ入出力部 63, 73 からの出力データはサービスプロセッサ 9 の制御によりセクタ 10 で運用系である何れか一方が選択され、出力装置 82 へ送出される。また、入力装置 81 からの入力データまたはメッセージはサービスプロセッサ 9 の制御によりセクタ 10 を介して入力バッファ 62, 72 へそれぞれ供給される。

【0026】

また、CPU1 から発行されたコマンド（あるいは出力データ）は、コマンドバッファ 61, 71 によりそれぞれ保持される。本実施形態の情報処理装置では、チップセットが二重化されているため、CPU1 から発行されたコマンドは第 1 のシリアルコントローラ 6 及び第 2 のシリアルコントローラ 7 へそれぞれ供給される。

【0027】

コマンドバッファ 61 にコマンドが格納されると、運用系（ここでは第 1 のシリアルコントローラ 6）のシリアル同期部 64 は、同期化のための専用線を用いて待機系（ここでは第 2 のシリアルコントローラ 7）のシリアル同期部 74 に対して CPU1 から発行されたコマンドの実行許可を要求する。

【0028】

待機系のシリアル同期部 74 は、運用系のシリアル同期部 64 からコマンド実行許可要求を受け取ると、自装置のコマンドバッファ 71 に CPU1 から発行されたコマンドが格納されているか否かを確認し、実行許可要求とコマンドの両方が揃っている場合に、運用系のシリアル同期部 64 に対して実行許可を送信し、CPU1 から発行されたコマンドにしたがってシリアルデータ入出力部 73 に処理を実行させる。

【0029】

また、コマンドバッファ 7 1 に CPU 1 から発行されたコマンドが格納されていない場合（実行許可要求とコマンドの何れか一方しかない場合）は、コマンドバッファ 7 1 に CPU 1 から発行されたコマンドが格納されるのを待って、運用系のシリアル同期 6 4 に対して実行許可を送信し、CPU 1 から発行されたコマンドにしたがってシリアルデータ入出力部 7 3 に処理を実行させる。

【 0 0 3 0 】

一方、入力装置 8 1 からの入力データ（あるいはメッセージ）が入力バッファ 6 2 に格納されると、運用系（ここでは第 1 のシリアルコントローラ 6）のシリアル同期部 6 4 は、待機系（ここでは第 2 のシリアルコントローラ 7）のシリアル同期部 7 4 に対して入力装置 8 1 から供給された入力データの取り込み許可を要求する。

【 0 0 3 1 】

待機系のシリアル同期部 7 4 は、運用系のシリアル同期部 6 4 から入力データの取り込み許可要求を受け取ると、自装置の入力バッファ 7 2 に入力装置 8 1 から供給された入力データが格納されているか否かを確認し、取り込み許可要求と入力データの両方が揃っている場合に、運用系のシリアル同期部 6 4 に対して取り込み許可を送信し、シリアルデータ入出力部 7 3 により入力装置 8 1 から供給された入力データの取り込み処理を実行させる。

【 0 0 3 2 】

また、入力バッファ 7 2 に入力装置 8 1 から供給された入力データが格納されていない場合（取り込み許可要求と入力データの何れか一方しかない場合）は、コマンドバッファ 7 1 に入力装置 8 1 から供給された入力データが格納されるのを待って、運用系のシリアル同期 6 4 に対して取り込み許可を送信し、シリアルデータ入出力部 7 3 により入力装置 8 1 から供給された入力データの取り込み処理を実行させる。

【 0 0 3 3 】

このように、CPU 1 からのコマンドの処理、及び入力装置 8 1 からの入力データの取り込み処理を二つのシリアルコントローラ 6、7 が互いに同期しつつ実行することで、運用系のシリアルデータ入出力部 6 3 と待機系のシリアルデータ

入出力部 7 3 の内部状態は常に一致する。

【 0 0 3 4 】

一方、運用期間中に第 1 のチップセット 2 または第 2 のチップセット 3 で障害が発生した場合、障害通知を受け取ったサービスプロセッサ 9 は、障害が発生した系のシリアルコントローラを含むチップセット全体をシステムから切り離し、障害が発生していない系のみで運用を継続させる。このとき、サービスプロセッサ 9 は、セクタ 1 0 を制御することで、運用を継続している系のシリアルコントローラの出力データを出力装置 8 2 へ出力させ、入力装置 8 1 からの入力データを運用を継続している系のシリアルコントローラへ供給させる。また、サービスプロセッサ 9 は、シリアル同期部 6 4、7 4 で実行する上記メッセージの交換による同期化処理を停止させる。

【 0 0 3 5 】

したがって、本発明の情報処理装置によれば、シリアルコントローラを含む系で障害が発生した場合でも入力装置 8 や CPU 1 からの入力データやメッセージを損なうことなく運用を継続できる。また、故障個所がシリアルコントローラそのものであってもシステムを停止することなく運用を継続できる。よって、メッセージやデータの欠落を防止すると共に S P o F の発生を排除することが可能なシリアルコントローラを備えた情報処理装置を提供できる。

【 0 0 3 6 】

【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

【 0 0 3 7 】

シリアルコントローラをそれぞれ備えた 2 つのチップセットと、2 つのチップセットのいずれか一方で障害が発生した場合にシリアルコントローラと入出力装置の接続経路を切り換えるためのセクタと、チップセットで障害が発生していない場合は、運用系のシリアルコントローラの出力データを出力装置へ出力させ、入力装置からのデータを 2 つのシリアルコントローラへそれぞれ供給させ、チップセットのいずれか一方から障害発生の通知を受け取った場合は、正常に動作

しているチップセットが備えるシリアルコントローラの出力データのみを出力装置へ出力させ、入力装置からのデータを正常に動作しているチップセットが備えるシリアルコントローラのみへ供給させるサービスプロセッサとを有することで、障害が発生していない場合は、CPUから発行されたコマンドやデータの処理結果、あるいは入出力装置を介して入力された入力データが、2つのシリアルコントローラにそれぞれ供給されるため、障害が発生したチップセットを切り離しても入出力装置やCPUから送出されたメッセージやデータを損なうことなく情報処理装置を継続して運用することが可能になる。

【0038】

また、故障個所がシリアルコントローラそのものであってもシステムを停止することなく運用を継続できる。

【0039】

よって、メッセージやデータの欠落を防止すると共にSPoFの発生を排除することが可能なシリアルコントローラを備えた情報処理装置を提供できる。

【図面の簡単な説明】

【図1】

本発明の情報処理装置の一構成例を示すブロック図である。

【図2】

図1に示したシリアルコントローラの構成を示すブロック図である。

【符号の説明】

- 1 CPU
- 2 第1のチップセット
- 3 第2のチップセット
- 6 第1のシリアルコントローラ
- 7 第2のシリアルコントローラ
- 8 入出力装置
- 9 サービスプロセッサ
- 10 セレクタ
- 61、71 コマンドバッファ

6 2、7 2、 入力バッファ

6 3、7 3 シリアルデータ入出力部

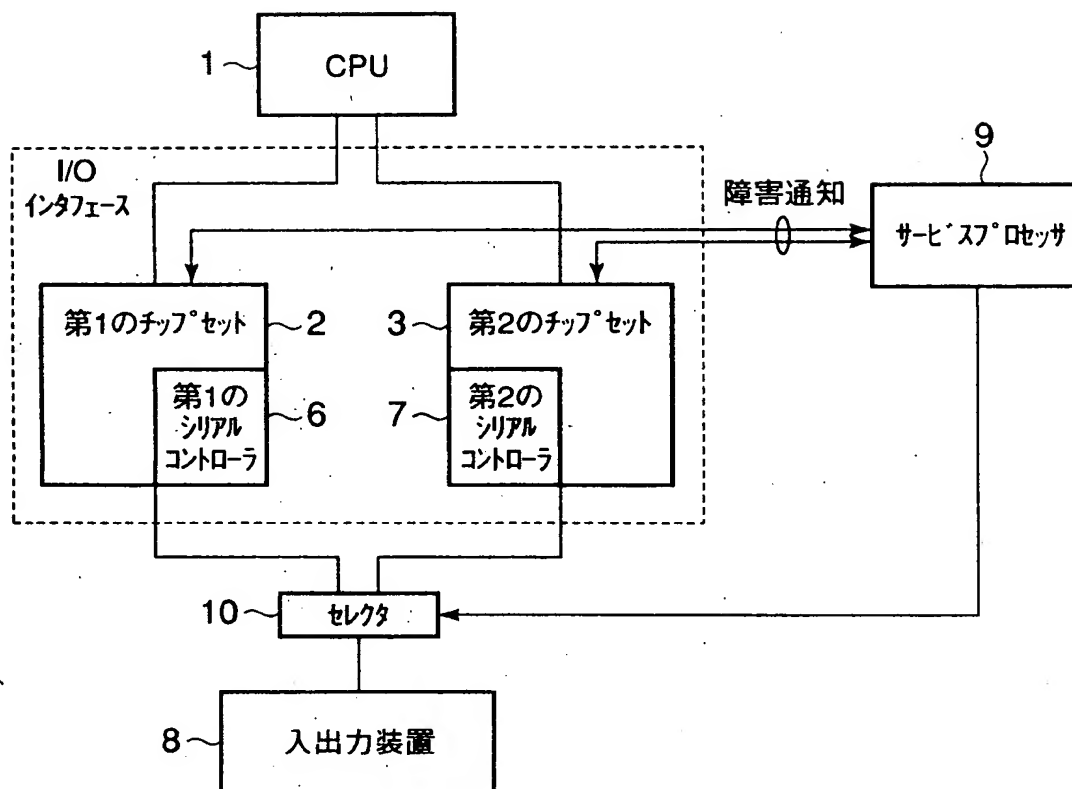
6 4、7 4 シリアル同期部

8 1 入力装置

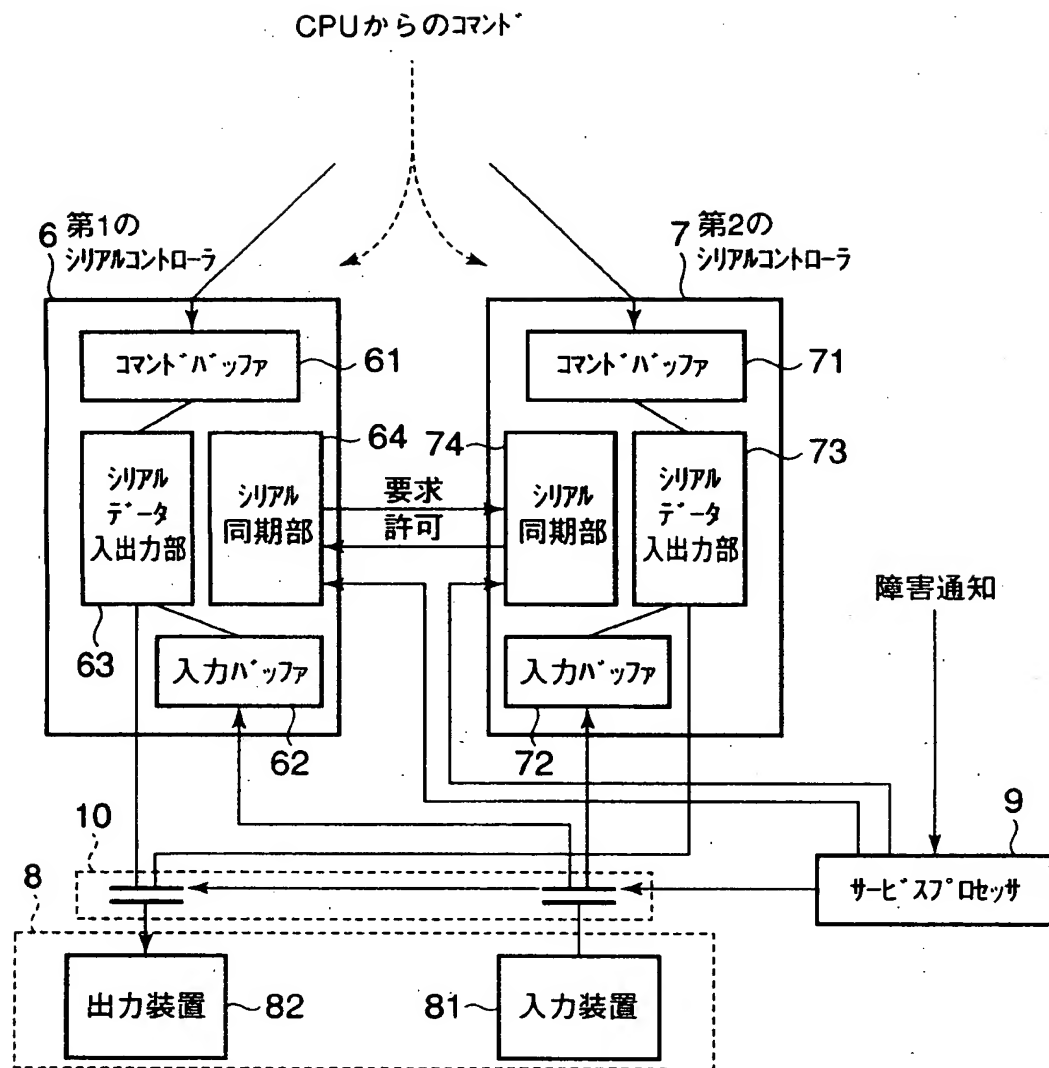
8 2 出力装置

【書類名】 図面

【図 1】



【図 2】



【書類名】 要約書

【要約】

【課題】 CPUに供給するメッセージやデータの欠落を防止すると共にS P o Fの発生を排除することが可能な情報処理装置を提供する。

【解決手段】 CPUと、入出力装置と、CPUと入出力装置間のインタフェースである、シリアルコントローラをそれぞれ備えた2つのチップセットと、チップセットの一方で障害が発生した場合にシリアルコントローラと入出力装置の接続経路を切り換えるためのセレクタと、チップセットで障害が発生していない場合は、運用系のシリアルコントローラの出力データを出力装置へ出力させ、入力装置からのデータを2つのシリアルコントローラへそれぞれ供給させ、チップセットの一方で障害が発生した場合は、正常系のシリアルコントローラの出力データのみを出力装置へ出力させ、入力装置からのデータを正常系のシリアルコントローラのみへ供給させるサービスプロセッサとを有する構成とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社